

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年11月 9日

出 願 番 号

Application Number:

平成11年特許願第318233号

出 願 人

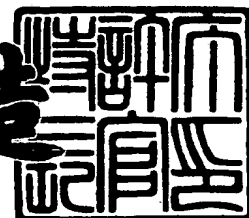
Applicant (s):

株式会社デンソー

2000年 9月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3069737

【書類名】 特許願

【整理番号】 N990707

【提出日】 平成11年11月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明の名称】 絶縁ゲート型パワー I C の製造方法、絶縁ゲート型パワー I C の製造装置及び絶縁ゲート型パワー I C モジュール

【請求項の数】 11

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 三浦 昭二

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 黒柳 晃

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 戸松 裕

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

 【代表者】 岡部 弘

【代理人】

 【識別番号】 100071135

 【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル

 【弁理士】

 【氏名又は名称】 佐藤 強

 【電話番号】 052-251-2707

【手数料の表示】

【予納台帳番号】 008925

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 絶縁ゲート型パワー I C の製造方法、絶縁ゲート型パワー I C の製造装置及び絶縁ゲート型パワー I C モジュール

【特許請求の範囲】

【請求項 1】 半導体基板の表面に設けられた複数のセルブロックと、これらセルブロックにそれぞれ設けられ互いに独立する複数のゲート電極と、前記半導体基板に設けられ前記各ゲート電極にそれぞれ接続された複数のゲートパッドとを備え、複数のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドを外部のゲート端子に接続すると共に、不良品のセルブロックのゲート電極に接続されたゲートパッドを外部のグランド端子または前記半導体基板に設けられたエミッタパッドに接続して成る絶縁ゲート型パワー I C を製造する方法において、

前記複数のセルブロックのうちの不良品のセルブロックの配置位置が同じものが集まるように前記絶縁ゲート型パワー I C のチップを仕分けする仕分け工程を備えたことを特徴とする絶縁ゲート型パワー I C の製造方法。

【請求項 2】 前記仕分け工程において、前記チップを複数のトレイに選別して収納することが可能なチップ移載機を使用することを特徴とする請求項 1 記載の絶縁ゲート型パワー I C の製造方法。

【請求項 3】 ウエハアクセプタンステスト (W A T) を実行するときに、前記チップを仕分けするためのチップ情報を獲得し、この獲得したチップ情報を前記チップ移載機へ与えるように構成したことを特徴とする請求項 2 記載の絶縁ゲート型パワー I C の製造方法。

【請求項 4】 前記チップ移載機は、前記チップの特性を測定する機能を有することにより、前記チップを仕分けするためのチップ情報を自身で獲得することが可能な構成となっていることを特徴とする請求項 2 記載の絶縁ゲート型パワー I C の製造方法。

【請求項 5】 前記仕分け工程において、不良品のセルブロックの配置位置の情報の他に、前記チップのしきい値電圧 V_{th} 、コレクタエミッタ間電圧 $V_{ce(sat)}$ またはスイッチング特性のうちの少なくとも 1 つの情報に基づいて

前記チップを仕分けすることを特徴とする請求項 1 記載の絶縁ゲート型パワー I C の製造方法。

【請求項 6】 前記仕分け工程において、前記チップを複数のトレイに選別して収納することが可能なチップ移載機を使用することを特徴とする請求項 5 記載の絶縁ゲート型パワー I C の製造方法。

【請求項 7】 ウエハアクセスタンステスト (W A T) を実行するときに、前記チップを仕分けするためのチップ情報を獲得し、この獲得したチップ情報を前記チップ移載機へ与えるように構成したことを特徴とする請求項 6 記載の絶縁ゲート型パワー I C の製造方法。

【請求項 8】 前記チップ移載機は、前記チップの特性を測定する機能を有することにより、前記チップを仕分けするためのチップ情報を自身で獲得することが可能な構成となっていることを特徴とする請求項 6 記載の絶縁ゲート型パワー I C の製造方法。

【請求項 9】 半導体基板の表面に設けられた複数のセルフブロックと、これらセルフブロックにそれぞれ設けられ互いに独立する複数のゲート電極と、前記半導体基板に設けられ前記各ゲート電極にそれぞれ接続された複数のゲートパッドとを備え、複数のセルフブロックのうちの良品のセルフブロックのゲート電極に接続されたゲートパッドを外部のゲート端子に接続すると共に、不良品のセルフブロックのゲート電極に接続されたゲートパッドを外部のグランド端子または前記半導体基板に設けられたエミッタパッドに接続して成る絶縁ゲート型パワー I C を製造する装置において、

前記複数のセルフブロックのうちの不良品のセルフブロックの配置位置が同じものが集まるように前記絶縁ゲート型パワー I C のチップを仕分けする仕分け装置を備えたことを特徴とする絶縁ゲート型パワー I C の製造装置。

【請求項 1 0】 前記仕分け装置として、前記チップを複数のトレイに選別して収納することが可能なチップ移載機を使用することを特徴とする請求項 9 記載の絶縁ゲート型パワー I C の製造装置。

【請求項 1 1】 半導体基板の表面に設けられた複数のセルフブロックと、これらセルフブロックにそれぞれ設けられ互いに独立する複数のゲート電極と、前記

半導体基板に設けられ前記各ゲート電極にそれぞれ接続された複数のゲートパッドとを備え、複数のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドを外部のゲート端子に接続すると共に、不良品のセルブロックのゲート電極に接続されたゲートパッドを外部のグランド端子または前記半導体基板に設けられたエミッタパッドに接続して成る絶縁ゲート型パワー I C であって、前記複数のセルブロックのうちの不良品のセルブロックの配置位置が同じ絶縁ゲート型パワー I C だけを、複数使用して作製された絶縁ゲート型パワー I C モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板の表面に電流制御用のゲート電極を備えた絶縁ゲート型パワー I C の製造方法、絶縁ゲート型パワー I C の製造装置及び絶縁ゲート型パワー I C モジュールに関する。

【0002】

【従来の技術】

高耐圧、大電流用のパワー I C である例えば I G B T (絶縁ゲート型バイポーラトランジスタ) において、チップサイズを大形化すると、チップの外周部に設ける耐圧構造 (例えばガードリング構造) が占める面積の割合を小さくすることができる。また、部品点数を削減できることから、組立構造を簡略化できると共に、コストを低減できるという効果を得ることができる。

【0003】

一方、I G B T を製造する半導体ウエハプロセスにおいては、例えばパーティクル等に起因して欠陥が発生することにより、ゲート・エミッタ間が短絡するという不良が発生することがある。そして、このような不良は、チップサイズが大きくなるほど、発生し易くなり、良品率 (歩留まり) が低下するという問題点があった。

【0004】

このような問題点を解消する技術として、特開平 8 - 1 9 1 1 4 5 号公報に記

載された I G B T の製造方法がある。この方法では、I G B T を複数のセルブロック（ゲートブロック）に分け、各ゲートブロックから各ブロック共通のゲートボンディングパッドへの配線取出しを二層配線構造とすることを提案している。上記方法の場合、半導体ウエハプロセスの途中、すなわち、各ブロック個別に設定された一層目ゲート配線の形成後、複数のセルブロックについて、それぞれゲート・エミッタ間が短絡しているか否か、即ち、良否の判定を行い、その後、層間絶縁膜を形成し、良否の判定結果に従い、層間絶縁膜に設けた各ブロック毎のビアホールをディスペンサ等によりポリイミド液を滴下し、良品のセルブロックの一層目ゲート配線だけを二層目ゲート配線に接続し、不良品のセルブロックの一層目ゲート配線を二層目ゲート配線から切り離してソース電極に短絡するような 2 層配線を形成するように構成している。

【0005】

この方法によれば、複数のセルブロックの中に不良ブロックがある場合でも、良品のセルブロックだけで I G B T を構成することができ、I G B T が正常に動作するようになることから、良品率が低下することを防止できる。

【0006】

【発明が解決しようとする課題】

しかしながら、上記公報の方法では、半導体ウエハプロセスの途中で、複数のセルブロックについて良否の判定を行い、その後、良品のセルブロックだけを選択してゲートボンディングパッドに接続する多層配線構造を形成する半導体ウエハプロセスを実行しなければならないので、工程が非常に複雑になるという欠点があった。また、半導体ウエハプロセスの途中で、電気特性を計測してセルブロックの良否の判定を行うことは、実際にはかなり困難である（上記公報にも、その具体的方法は全く開示されていない）と共に、製造設備が汚染するため、上記公報の方法を実際に使用することは、ほとんど不可能であると考えられる。

【0007】

これに対して、本出願人は、上記公報の方法の欠点を解消する構成を発明し、先に出願（特願平 1 1 - 2 8 8 2 5 0 号）している。この出願の構成では、複数のセルブロック毎に互いに独立するゲート電極をそれぞれ設け、これらゲート電

極にそれぞれ接続される複数のゲートパッドを設ける構成とした。この構成によれば、複数のゲートパッドを利用することにより、周知の検査装置を使用して、複数のセルブロックの良否の判定を容易に行うことができる。そして、この構成の場合、良品のセルブロックのゲートパッドだけを、外部のゲート端子に例えばワイヤボンディングにより接続している。このため、複数のセルブロックの中に不良品がある場合でも、良品のセルブロックだけで半導体装置（絶縁ゲート型パワーＩＣ）を構成することができ、半導体装置が正常に動作するようになることから、良品率（歩留まり）が低下することを防止できる。

【 0 0 0 8 】

そして、上記構成の場合、半導体ウエハプロセスのプロセス数は従来構成と同じで済む。従って、半導体装置のチップサイズを大形化した場合でも、良品率が低下することを防止でき、しかも、半導体ウエハプロセスが複雑になることを防止できる。

【 0 0 0 9 】

さて、上記出願の構成では、複数のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドを外部のゲート端子にワイヤボンディングにより接続すると共に、不良品のセルブロックのゲート電極に接続されたゲートパッドを外部のグランド端子にワイヤボンディングにより接続している。この構成の場合、複数のゲートパッドのうちの、どのゲートパッドを外部のゲート端子またはグランド端子に接続するかを判別して決定する作業が面倒であり、接続誤りが起こるおそれがある。従って、上記出願の構成の場合、このような点が改善すべき課題であった。

【 0 0 1 0 】

そこで、本発明の目的は、チップサイズを大形化した場合でも、良品率が低下することを防止できると共に、半導体ウエハプロセスが複雑になることを防止でき、しかも、ゲートパッドをゲート端子またはグランド端子に接続する作業を容易に行うことができ、接続誤りを防止できる絶縁ゲート型パワーＩＣの製造方法、絶縁ゲート型パワーＩＣの製造装置及び絶縁ゲート型パワーＩＣモジュールを提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

請求項 1 の発明によれば、半導体基板の表面に複数のセルブロックを設け、これらセルブロックに互いに独立するゲート電極をそれぞれ設け、そして、半導体基板に各ゲート電極にそれぞれ接続された複数のゲートパッドを設けるように構成したので、チップサイズを大形化した場合でも、良品率が低下することを防止できると共に、半導体ウエハプロセスが複雑になることを防止できる。そして、請求項 1 の発明の場合、複数のセルブロックのうちの不良品のセルブロックの配置位置が同じものが集まるように絶縁ゲート型パワー I C のチップを仕分けするように構成したので、例えばワイヤボンディング装置のボンディングプログラムの作製が容易になり、ゲートパッドをゲート端子またはグランド端子に接続する作業を容易に行うことができる。

【 0 0 1 2 】

請求項 2 の発明によれば、仕分け工程において、チップを複数のトレイに選別して収納することが可能なチップ移載機を使用するように構成したので、チップを仕分けするための構成を容易に実現することができる。

【 0 0 1 3 】

請求項 3 の発明においては、ウエハアクセプタンステスト (W A T) を実行するときに、チップを仕分けするためのチップ情報を獲得し、この獲得したチップ情報をチップ移載機へ与えるように構成した。この構成によれば、チップ移載機は上記獲得したチップ情報に基づいてチップを容易且つ確実に仕分けすることが可能となる。

【 0 0 1 4 】

請求項 4 の発明では、チップ移載機は、チップの特性を測定する機能を有することにより、チップを仕分けするためのチップ情報を自身で獲得することが可能なように構成されている。この構成によれば、チップの仕分けをより一層正確に実行することができるから、ゲートパッドをゲート端子またはグランド端子に接続する作業をより一層正確に行うことができる。

【 0 0 1 5 】

請求項5の発明においては、仕分け工程において、不良品のセルブロックの配置位置の情報の他に、チップのしきい値電圧 V_{th} 、コレクタエミッタ間電圧 $V_{ce(sat)}$ またはスイッチング特性のうちの少なくとも1つの情報に基づいてチップを仕分けするように構成した。この構成の場合、複数のチップを使用して絶縁ゲート型パワーICモジュールを作製する場合に、特性ばらつきが少ない高品質な絶縁ゲート型パワーICモジュールを作製することが可能となる。

【0016】

請求項6、7、8の発明によれば、請求項5の発明の作用効果に加えて、請求項2、3、4の発明と同じ作用効果を得ることができる。また、請求項9、10の発明によれば、請求項1、2の発明と同じ作用効果を得ることができる。

【0017】

請求項11の発明によれば、絶縁ゲート型パワーICモジュールを作製するときに、請求項1の発明と同じ作用効果、即ち、例えばワイヤボンディング装置のボンディングプログラムの作製が容易になり、ゲートパッドをゲート端子またはグランド端子に接続する作業を容易に行うことができる。

【0018】

【発明の実施の形態】

以下、本発明をIGBT（絶縁ゲート型バイポーラトランジスタ）に適用した第1の実施例について、図1ないし図8を参照しながら説明する。まず、図5は本実施例のIGBTのチップ1の縦断面構造を概略的に示す縦断面模式図である。この図5に示すように、本実施例のIGBTはトレンチゲート型IGBTである。このIGBTのチップ1は、半導体基板である例えばp+基板（p+シリコン基板）2を備えており、このp+基板2の上に、n+バッファ層3とn-ドリフト層4が順にエピタキシャル成長法を用いて形成されている。

【0019】

そして、n-ドリフト層4の上面には、pベース層5が形成されている。このpベース層5には、多数のトレンチ6が上記pベース層5を貫通してn-ドリフト層4に達するように形成されている。トレンチ6の内部には、ゲート絶縁膜7を介してゲート電極8が形成されている。ゲート絶縁膜7は例えば酸化シリコン

膜或いはONO膜で形成されており、ゲート電極 8 は例えば多結晶シリコンで形成されている。

【0020】

更に、p ベース層 5 の表面におけるトレンチ 6 の上部に接する部分には、高濃度の n + エミッタ層 9 が選択的に形成されている。そして、p ベース層 5 の上面には、エミッタ電極 10 が p ベース層 5 と n + エミッタ層 9 に接するように形成されている。また、p + 基板 2 の裏面（下面）には、コレクタ電極 11 が形成されている。

【0021】

ここで、上記した構成の IGBT のチップ 1、即ち、半導体基板 2 の表面は、複数個（即ち、2 個以上）の IGBT 領域であるセルブロック 12（12 a、12 b、12 c、……）に分割されるように構成されている（図 4 も参照）。即ち、IGBT 1 のチップの表面には、複数個のセルブロック 12（12 a、12 b、12 c、……）が設けられている。尚、セルブロック 12 の個数については、IGBT 1 のチップのサイズによって好ましい数値が変化するが、本実施例の場合、図 1 に示すように、例えば 6 個設けるように構成したが、これに限られるものではなく、10 ～ 20 個程度設けることも好ましい。

【0022】

そして、各セルブロック 12（12 a、12 b、12 c、……）に設けられているゲート電極 8 は、セルブロック毎に互いに独立する（即ち、電氣的に分離される）ように構成されている。ここで、隣接する 2 つのセルブロック 12、12 の境界部分の縦断面模式図を、図 6 に示す。この図 6 に示すように、2 つのセルブロック 12、12 の境界部分には、分離用の酸化膜（ SiO_2 膜）31 が形成されており、この酸化膜 31 の上に、電氣的に分離されたゲート電極 8 a、8 b が形成されている。ゲート電極 8 a、8 b、8 の上には、層間絶縁膜（ SiO_2 膜）32 が形成されている。そして、左側のゲート電極 8 a は左側のセルブロック 12 内の全てのゲート電極 8 に接続され、右側のゲート電極 8 b は右側のセルブロック 12 内の全てのゲート電極 8 に接続されている。

【0023】

尚、1個のセルブロック12に設けられているMOSFETセルの個数（即ち、ゲート電極8またはトレンチ6）の個数は、セルピッチ及びセルエリアのサイズ（セルブロックのサイズ）により変化するが、数百～数千個程度である。これは、通常、セルピッチが数 μ m程度であり、セルエリアのサイズが数mm角程度であるためである。そして、1個のセルブロック12内のゲート電極8は、図5に示すように、配線層13により全て互いに接続されている。また、1個のセルブロック12内のエミッタ電極10も、図5に示すように、配線層14により全て互いに接続されている。

【0024】

さて、図4は、上記IGBTのチップ1の平面構造を概略的に示す平面模式図である。この図4に示すように、IGBTのチップ1はほぼ矩形平板状に構成されており、その表面における複数のセルブロック12（12a、12b、12c、……）に対応する部位には、セルブロック12とほぼ同じ形状の複数のエミッタパッド15（15a、15b、15c、……）が設けられている。また、IGBT1のチップの表面における一辺部（図1中、上辺部）には、ほぼ正形状の複数のゲートパッド16（16a、16b、16c、……）が一行に並ぶように設けられている。

【0025】

上記各エミッタパッド15（15a、15b、15c、……）は、図5において2点鎖線で示すように、各セルブロック12内の多数のエミッタ電極10に接続するように形成されており、前記配線層14としての機能も有するものである。そして、各エミッタパッド15は、チップ1の外部と電氣的な導通をとるためのものであり、本実施例の場合、チップ1の外部に設けられたエミッタ端子33（図8参照）にワイヤボンディングにより接続されている。尚、IGBTのチップ1を例えば配線基板に取り付ける場合は、上記エミッタ端子33は基板に設けられたエミッタ端子用の電極で構成され、IGBTのチップ1を例えばリードフレームに取り付ける場合は、上記エミッタ端子33はリードフレームに設けられたエミッタ端子用のリード部で構成される。

【0026】

また、上記各ゲートパッド16（16a、16b、16c、……）は、前記配線層13を介して各セルブロック12内の多数のゲート電極8に接続されている。この場合、上記配線層13は、横向きに引き出され、エミッタパッド15の図4において上下方向の辺部（即ち、2個のエミッタパッド15の間の部位）に沿うように配置され、各ゲートパッド16に接続されている。

【0027】

各ゲートパッド16は、IGBTのチップ1の外部と電氣的な導通をとるためのものであり、本実施例の場合、チップ1の外部に設けられたゲート端子17（図7及び図8参照）に例えばワイヤボンディングにより接続されている。ここで、ゲート端子17に接続するゲートパッド16は、良品のセルブロック12のゲート電極8に接続されているゲートパッドである。これにより、良品のセルブロック12のゲート電極8（ゲートパッド16）とゲート端子17との間は、ボンディングワイヤ18によって接続される構成となる。これにより、外部からゲート制御用の信号がゲート端子17に与えられると、その信号は良品のセルブロック12のゲート電極8に与えられ、良品のセルブロック12内の素子が動作するようになる。

【0028】

これに対して、不良品のセルブロック12のゲート電極8に接続されているゲートパッド16（16b）は、図7及び図8に示すように、チップの外部のグラウンド端子19に例えばワイヤボンディングにより接続されている。これにより、不良品のゲートパッド16（16b）とグラウンド端子19との間は、ボンディングワイヤ18によって接続される構成となる。この結果、不良品のセルブロック12のゲート電極8（ゲートパッド16b）は、グラウンド電位（GND電位）に固定される構成となる。これにより、不良品のセルブロック12のゲート電極8には、ゲート制御用の信号が与えられることがないから、不良品のセルブロック12内の素子が動作することはない。

【0029】

尚、IGBTのチップ1を配線基板に取り付ける場合は、上記ゲート端子17及び上記グラウンド端子19は、配線基板に設けられた電極で構成される。また、

I G B Tのチップ1をリードフレームに取り付ける場合は、上記ゲート端子17及び上記グランド端子19は、リードフレームに設けられたリード部で構成される。

【0030】

次に、上記した構成のI G B Tのチップ1を製造する工程、及び、上記I G B Tのチップ1を複数個（例えば6個）使用してI G B Tモジュール34（図8参照）を製造する工程について、図1、図2、図3を参照して説明する。

【0031】

まず、図2に示すように、ウエハ35に対して周知の半導体ウエハプロセスを実行することにより、デバイスを形成する工程を行う。この工程の実行により、ウエハ35の上に図4～図6に示すような構成のI G B Tチップ1が多数形成される。

【0032】

上記デバイス形成工程を行った後は、ウエハ35上の各チップ1を検査する工程を実行する。この場合、まず、周知のテストエレメントグループウエハアクセプタンステスト（TEGWAT）を実行する。続いて、周知のウエハアクセプタンステスト（WAT）を実行する。そして、このWATの実行時に、各チップ1について、複数個のセルブロック12の各良否の判定を行うように構成されている。上記各セルブロック12の良否の判定は、ゲート・エミッタ間の耐圧を測定する周知の検査装置を使用して行う。

【0033】

具体的には、I G B Tチップ1にエミッタパッド15及びゲートパッド16が形成されているので、上記検査装置の検査用針を1番目のセルブロック12aのエミッタパッド15及びゲートパッド16に立てて（接続して）、ゲート電極8とエミッタ電極10との間の耐圧を測定する。このとき、例えば20V以上の耐圧があれば、そのセルブロック12aは良品であると判定し、そうでなければ（20V未満の耐圧であれば）、そのセルブロック12aは不良品であると判定するようになっている。続いて、2番目以降のセルブロック12bについても、同様にして、ゲート電極8とエミッタ電極10との間の耐圧を順に測定していく

ように構成されている。

【0034】

そして、全てのセルブロック 1 2 について、ゲート電極 8 とエミッタ電極 1 0 間の耐圧を測定して、良否の判定を完了したら、その良否の判定データを記憶し、次のチップ 1 について、同様にして、各セルブロック 1 2 の良否の判定を行い、その良否の判定データを記憶する。以下、ウエハ 3 5 上の全てのチップ 1 について、同様にして、各セルブロック 1 2 の良否の判定を行い、その良否の判定データを記憶する。この場合、記憶した各チップ 1 の判定データが、各チップ 1 を仕分けするためのチップ情報となる。即ち、チップ情報が獲得される。この獲得されたチップ情報は、後述するチップ移載機 3 6（図 3 参照）へ与えられるように構成されている。

【0035】

上記 W A T を実行した後は、ウエハ 3 5 を切断するダイシング工程を実行する。この後、上記切断されたチップ 1 を仕分けする工程、即ち、チップ 1 の複数のセルブロック 1 2 のうちの不良品のセルブロック 1 2 の配置位置が同じものが集まるようにチップ 1 を仕分けする仕分け工程を実行する。この場合、チップ 1 には、6 個のセルブロック 1 2 があるから、図 1 に示すように、左から 1 番目のセルブロック 1 2 が不良であるチップ 1 のグループと、左から 2 番目のセルブロック 1 2 が不良であるチップ 1 のグループと、……、左から 6 番目（右から 1 番目）のセルブロック 1 2 が不良であるチップ 1 のグループと、全てのセルブロック 1 2 が良品であるチップ 1 のグループとに仕分けされる。尚、不良のセルブロック 1 2 が 1 個存在する場合について説明したが、不良のセルブロック 1 2 が 2 個以上存在する場合についても、同様にして各グループに仕分けするように構成することも好ましい。

【0036】

そして、本実施例では、上記仕分け工程において、チップ 1 を複数のトレイ 3 7（3 7 a、3 7 b、3 7 c、……）に選別して収納することが可能なチップ移載機 3 6 を使用している。このチップ移載機 3 6 は、図 3 に示すように、チップ 1 を仕分けしてトレイ 3 7 に収納するハンドラ 3 8 と、このハンドラ 3 8 を駆

動制御するハンドラコントローラ 3 9 とから構成されている。上記ハンドラコントローラ 3 9 は、前記 W A T 工程時に獲得されたウエハ情報を受けて、このウエハ情報に基づいて制御信号をハンドラ 3 8 に与えてこれを駆動するように構成されている。これにより、ウエハカットされたチップ 1 が、ピックアップされて、不良品のセルブロック 1 2 の配置位置が同じものが集まるように仕分けされてトレイ 3 7 に収納されるようになっている（図 2 及び図 3 参照）。

【 0 0 3 7 】

上記仕分け工程を実行した後は、上記仕分けしたチップを使用して I G B T モジュール 3 4 を組み付ける工程を実行する。本実施例の場合、図 8 に示すように、I G B T モジュール 3 4 として、例えば 6 個のチップ 1 を使用した 6 i n 1 タイプ I G B T モジュール 3 4 を製造する。図 8 に示す I G B T モジュール 3 4 の場合、左から 2 番目のセルブロック 1 2 b が不良品であるチップ 1 を 6 個使用している。

【 0 0 3 8 】

具体的には、上記 6 個のチップ 1 を配線基板上に載置して半田付け固定する。そして、これら 6 個のチップ 1 について、良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 を、チップ 1 の外部の（即ち、配線基板に設けられた）ゲート端子 1 7 にワイヤボンディングにより接続すると共に、不良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 を、チップ 1 の外部の（即ち、配線基板に設けられた）グランド端子 1 9 にワイヤボンディングにより接続する。

【 0 0 3 9 】

そして、エミッタパッド 1 5 を、チップ 1 の外部の（即ち、配線基板に設けられた）エミッタ端子 3 3 にワイヤボンディングにより接続する。これにより、I G B T モジュール 3 4 の組み付けが完了する。この後、上記 I G B T モジュール 3 4、即ち、配線基板をパッケージに組み込む工程を実行すると、I G B T モジュール 3 4 の製造が完了する。

【 0 0 4 0 】

尚、上記した説明では、左から 2 番目のセルブロック 1 2 b が不良品であるチ

チップ 1 を 6 個使用する代わりに、他のセルブロック 1 2 が不良品であるチップ 1 を 6 個使用して I G B T モジュール 3 4 を製造するように構成しても良い。

【 0 0 4 1 】

このような構成の本実施例によれば、1 個の I G B T のチップ 1 (半導体基板) の表面に複数のセルブロック 1 2 を設け、これらセルブロック 1 2 に互いに独立する複数のゲート電極 8 をそれぞれ設け、そして、I G B T のチップ 1 に各ゲート電極 8 にそれぞれ接続されたボンディング用の複数のゲートパッド 1 6 を設けた。これによって、複数のゲートパッド 1 6 を利用することにより、周知の検査装置を使用して、複数のセルブロック 1 2 の各良否の判定を容易に行うことができる。

【 0 0 4 2 】

そして、上記構成の場合、良品のセルブロック 1 2 のゲートパッド 1 6 だけを、外部のゲート端子 1 7 に接続することが可能になる。このため、複数個のセルブロック 1 2 の中に不良品がある場合でも、良品のセルブロック 1 2 だけで I G B T (絶縁ゲート型パワー I C) を構成することができ、I G B T が正常に動作するようになる。これにより、I G B T のチップサイズを大形化した場合でも、良品率が低下することを防止できる。

【 0 0 4 3 】

しかも、上記構成の場合、多層配線構成とする必要がないため、半導体ウエハプロセスの工程数は、通常の I G B T の構成と同じで済む。というのは、ゲートパッド 1 6 をセルブロック 1 2 毎に設けることは、フォトマスクのパターン設計の変更で実現することができるためである。従って、I G B T のチップサイズを大形化した場合でも、良品率が低下することを防止でき(即ち、歩留りを高くすることができる)、しかも、特開平 8 - 1 9 1 1 4 5 号公報に提案された構成とは異なり、半導体ウエハプロセスが複雑になることを防止できる。

【 0 0 4 4 】

加えて、上記実施例では、チップ 1 の複数のセルブロック 1 2 のうちの不良品のセルブロック 1 2 の配置位置が同じものが集まるようにチップ 1 を仕分けする仕分け工程を実行するように構成したので、例えばワイヤボンディング装置のボ

ンディングプログラムの作製が容易になり、ゲートパッド 1 6 をゲート端子 1 7 またはグランド端子 1 9 に接続する作業を容易に行うことができる。

【0 0 4 5】

また、上記実施例では、チップ 1 を仕分けするに当たって、チップ 1 を複数のトレイ 3 7 に選別して収納することが可能なチップ移載機 3 6 を使用するように構成したので、チップ 1 を仕分けするための構成（製造設備）を容易に実現することができる。

【0 0 4 6】

更に、上記実施例では、ウエハアクセプタンステスト（WAT）を実行するときに、チップ 1 を仕分けするためのチップ情報を獲得し、この獲得したチップ情報をチップ移載機 3 6 へ与えるように構成した。この構成によれば、チップ移載機 3 6 は、上記獲得したチップ情報に基づいてチップ 1 を容易且つ確実に仕分けすることができる。

【0 0 4 7】

図 9 は本発明の第 2 の実施例を示すものであり、第 1 の実施例と異なるところを説明する。尚、第 1 の実施例と同一部分には同一符号を付している。第 2 の実施例では、不良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6（1 6 b）を、図 9 に示すように、チップ 1 の内部のエミッタパッド 1 5（1 5 b）に例えばワイヤボンディングにより接続するように構成した。これにより、ゲートパッド 1 6 b とエミッタパッド 1 5 b との間は、ボンディングワイヤ 1 8 によって接続される構成となる。この結果、不良品のセルブロック 1 2 b のゲート電極 8（ゲートパッド 1 6 b）は、エミッタパッド 1 5（1 5 b）の電位、即ち、チップ外部のエミッタ端子 3 3 の電位に固定される構成となる。

【0 0 4 8】

尚、エミッタ端子 3 3（エミッタパッド 1 5）は、通常、グランドに接続されるため、上記エミッタパッド 1 5 の電位はグランド電位となる。これにより、不良品のセルブロック 1 2（1 2 b）のゲート電極 8 には、ゲート制御用の信号が与えられることがないから、不良品のセルブロック 1 2 内の素子が動作することはない。

【0049】

また、上述した以外の第2の実施例の構成は、第1の実施例の構成と同じ構成となっている。従って、第2の実施例においても、第1の実施例と同じ作用効果を得ることができる。

【0050】

尚、上記実施例では、不良品のセルブロック12のゲート電極8を、チップ1の内部のエミッタパッド15（15b）にワイヤーボンディングするように構成したが、チップ1の外部のエミッタ端子33にワイヤーボンディングするように構成しても良い。更に、グランド端子19とエミッタ端子33を共通端子とするように構成しても良い。

【0051】

図10は本発明の第3の実施例を示すものであり、第1の実施例と異なるところを説明する。尚、第1の実施例と同一部分には同一符号を付している。第3の実施例では、不良品のセルブロック12のゲート電極8に接続されているゲートパッド16（16b）を、図10に示すように、チップ1の内部に設けられたグランドパッド（グランド端子）40に例えばワイヤボンディングにより接続するように構成した。これにより、ゲートパッド16bとグランドパッド40の間は、ボンディングワイヤ18によって接続される構成となる。この結果、不良品のセルブロック12bのゲート電極8（ゲートパッド16b）は、グランドパッド40の電位に固定される構成となっている。

【0052】

そして、上述した以外の第3の実施例の構成は、第1の実施例の構成と同じ構成となっている。従って、第3の実施例においても、第1の実施例と同じ作用効果を得ることができる。

【0053】

図11は本発明の第4の実施例を示すものであり、第1の実施例と異なるところを説明する。尚、第1の実施例と同一部分には同一符号を付している。第4の実施例では、チップ移載機36に、チップ1の特性を測定する機能を持たせることにより、チップ1を仕分けするためのチップ情報をチップ移載機36自身で獲

得することが可能なように構成した。

【0054】

具体的には、図11に示すように、チップ1の特性を測定するテスト（測定器）41を備えると共に、ハンドラ38の内部に測定用ターンテーブル42を設けている。この構成の場合、ハンドラコントローラ39は、ハンドラ38を駆動制御することにより、ウェハカットされたチップ1をピックアップして測定用ターンテーブル4上に載せ、テスト41により上記チップ1の各セルブロック12の良否の判定を行う。そして、テスト41は、この判定データ（即ち、チップ情報）をハンドラコントローラ39へ与えるように構成されている。

【0055】

そして、ハンドラコントローラ39は、上記判定データに基づいてハンドラ38を駆動制御する。これにより、測定用ターンテーブル42上に載っているチップ1は、ピックアップされて、不良品のセルブロック12の配置位置が同じものが集まるように仕分けされてトレイ37に収納されるように構成されている。上述した以外の第4の実施例の構成は、第1の実施例の構成と同じ構成となっている。従って、第4の実施例においても、第1の実施例と同じ作用効果を得ることができる。

【0056】

特に、第4の実施例では、WAT工程時に、チップ1の各セルブロック12の良否の判定を行う必要がなくなる。そして、検査装置からチップ移載機36へチップ情報を送る必要もなくなる。この構成によれば、チップ情報の転送ミスも発生しないから、チップ1の仕分けをより一層正確に実行することができ、ゲートパッド16をゲート端子17またはグランド端子19に接続する作業をより一層正確に行うことができる。

【0057】

また、上記第4の実施例において、チップ移載機36のテスト41によりチップ1の各セルブロック12の良否を判定するときに、チップ1のしきい値電圧 V_{th} 、コレクタエミッタ間電圧 $V_{ce(sat)}$ またはスイッチング特性のうちの少なくとも1つ（好ましくは3つ全て）を測定するように構成しても良い。そ

して、チップ移載機 36 によって、不良品のセルブロック 12 の配置位置の情報の他に、チップ 1 のしきい値電圧 V_{th} 、コレクタエミッタ間電圧 $V_{ce(sat)}$ またはスイッチング特性のうちの少なくとも 1 つの情報に基づいてチップ 1 を仕分けするように構成した。

【0058】

この構成によれば、複数（例えば 6 個）のチップ 1 を使用して絶縁ゲート型パワー IC モジュールを作製する場合に、特性ばらつきの少ない高品質な IGBT モジュール 34 を作製することが可能となる。

【0059】

尚、前記した第 1～第 3 の実施例において、WAT 工程時に、チップ 1 の各セルブロック 12 の良否を判定する他に、チップ 1 のしきい値電圧 V_{th} 、コレクタエミッタ間電圧 $V_{ce(sat)}$ またはスイッチング特性のうちの少なくとも 1 つ（好ましくは 3 つ全て）を測定し、この測定結果もチップ情報に加えてチップ移載機 36 へ送るように構成しても良い。そして、チップ移載機 36 によりチップ 1 を仕分けするときには、不良品のセルブロック 12 の配置位置の情報の他に、チップ 1 のしきい値電圧 V_{th} 、コレクタエミッタ間電圧 $V_{ce(sat)}$ またはスイッチング特性のうちの少なくとも 1 つの情報に基づいてチップを仕分けするように構成することが可能である。

【0060】

図 12 は本発明の第 5 の実施例を示すものであり、第 1 の実施例と異なるところを説明する。尚、第 1 の実施例と同一部分には同一符号を付している。第 5 の実施例では、図 12 に示すように、不良品のセルブロック 12 の配置位置を判別できる目印をチップ 1 に設けるように構成した。

【0061】

具体的には、セルブロック 12 が良品である場合、そのセルブロック 12 のゲート電極 8 に接続されたゲートパッド 16 の図 12 中における上辺部の上側に、目印として例えば黒小丸 43 を印刷により形成した。そして、セルブロック 12 が不良品である場合、そのセルブロック 12 のゲート電極 8 に接続されたゲートパッド 16 の図 12 中における右辺部の右側に、目印として例えば黒小丸 43 を

印刷により形成した。これにより、黒小丸 4 3 の配置位置によりセルブロック 1 2 が良品であるか不良品であるかが容易に判別できる。

【0 0 6 2】

そして、この構成の場合、チップ移載機 3 6 に、チップ 1 に設けられた目印としての黒小丸 4 3 の位置を認識できる画像認識装置を設けることが好ましく、この画像認識装置による認識結果（即ち、チップ情報）に基づいてチップ 1 の仕分けを実行するように構成されている。

【0 0 6 3】

尚、上記各実施例においては、不良品のセルブロック 1 2 の配置位置が同じ 6 個のチップ 1 を使用して I G B T モジュール 3 4 を構成したが、これに代えて、不良品のセルブロック 1 2 の配置位置が異なるチップ 1 を含む 6 個のチップ 1 を使用して I G B T モジュール 3 4 を構成しても良い。

【0 0 6 4】

また、上記各実施例においては、I G B T モジュール 3 4 として、例えば 6 個のチップ 1 を使用した 6 i n 1 タイプ I G B T モジュール 3 4 を製造する構成に適用したが、これに限られるものではなく、2 i n 1 タイプ I G B T モジュール、7 i n 1 タイプ I G B T モジュール、I G B T ディスクリートパッケージ等を製造する構成に適用しても良い。

【0 0 6 5】

更に、上記各実施例においては、I G B T のチップ 1 に、複数のセルブロック 1 2 の各エミッタ電極 1 0 にそれぞれ接続された複数のエミッタパッド 1 5 を設けるように構成しているが、ゲート電極 8 のみブロック別に独立とし、全セルブロック共通、あるいは、複数のセルブロック毎に共通のエミッタパッド 1 5 を設けるようにしても良い。また、P ベース層 5 は、各セルブロック共通のシングルベースとしても良いし、各セルブロック毎あるいは複数のセルブロック毎に設定された島状ベースとしても良い。尚、島状ベースとした場合、ゲートオフ時に隣合う島状ベースから n - ドリフト層 4 側へ延びる空乏層が互いに連結するようにベース間距離を設定すれば、耐圧に優れた構成となる。

【0 0 6 6】

また、上記各実施例では、ゲートパッド 1 6 と外部のゲート端子との接続、並びに、ゲートパッド 1 6 と外部のグランド端子との接続を、ワイヤボンディングにより行う構成としたが、これに限られるものではなく、例えば半田接合や直接接合（圧着）等により行うように構成しても良い。

【 0 0 6 7 】

更に、上記各実施例では、複数個のゲートパッド 1 6 を I G B T 1 のチップの一边部に並べて配置するように構成したが、これに限られるものではなく、複数個のゲートパッド 1 6 の配置位置は、ゲートパッド 1 6 を外部のゲート端子に接続する接続形態に対応するように設計すれば良い。また、上記各実施例では、n チャンネルタイプの I G B T に適用した例を示したが、勿論、p チャンネルタイプのものに適用しても良く、不良品のセルブロックのゲート電極 8 の電位もグランド電位に限らず、各セルのチャンネルが反転しない電位に固定できれば良い。

【 0 0 6 8 】

更に、上記各実施例においては、本発明を I G B T に適用したが、これに限られるものではなく、半導体基板の表面に電流制御用のゲート電極を備えた絶縁ゲート型パワー I C、例えば M O S F E T や M O S 型の電界効果素子に適用しても良い。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例を示すものであり、不良品のセルブロックの配置位置を示す I G B T チップの平面図

【図 2】

I G B T モジュールの製造工程を説明する図

【図 3】

チップ移載機のブロック図

【図 4】

I G B T の部分平面模式図

【図 5】

I G B T の縦断面模式図

【図 6】

I G B T のセルブロックの境界部分の縦断面模式図

【図 7】

ゲートパッドとゲート端子またはグランド端子とをワイヤボンディングにより
接続した状態を示す図 4 相当図

【図 8】

不良品のセルブロックの配置位置を示す I G B T チップの平面図、並びに、I
G B T モジュールの電気回路図

【図 9】

本発明の第 2 の実施例を示す図 8 相当図

【図 1 0】

本発明の第 3 の実施例を示す図 8 相当図

【図 1 1】

本発明の第 4 の実施例を示す図 3 相当図

【図 1 2】

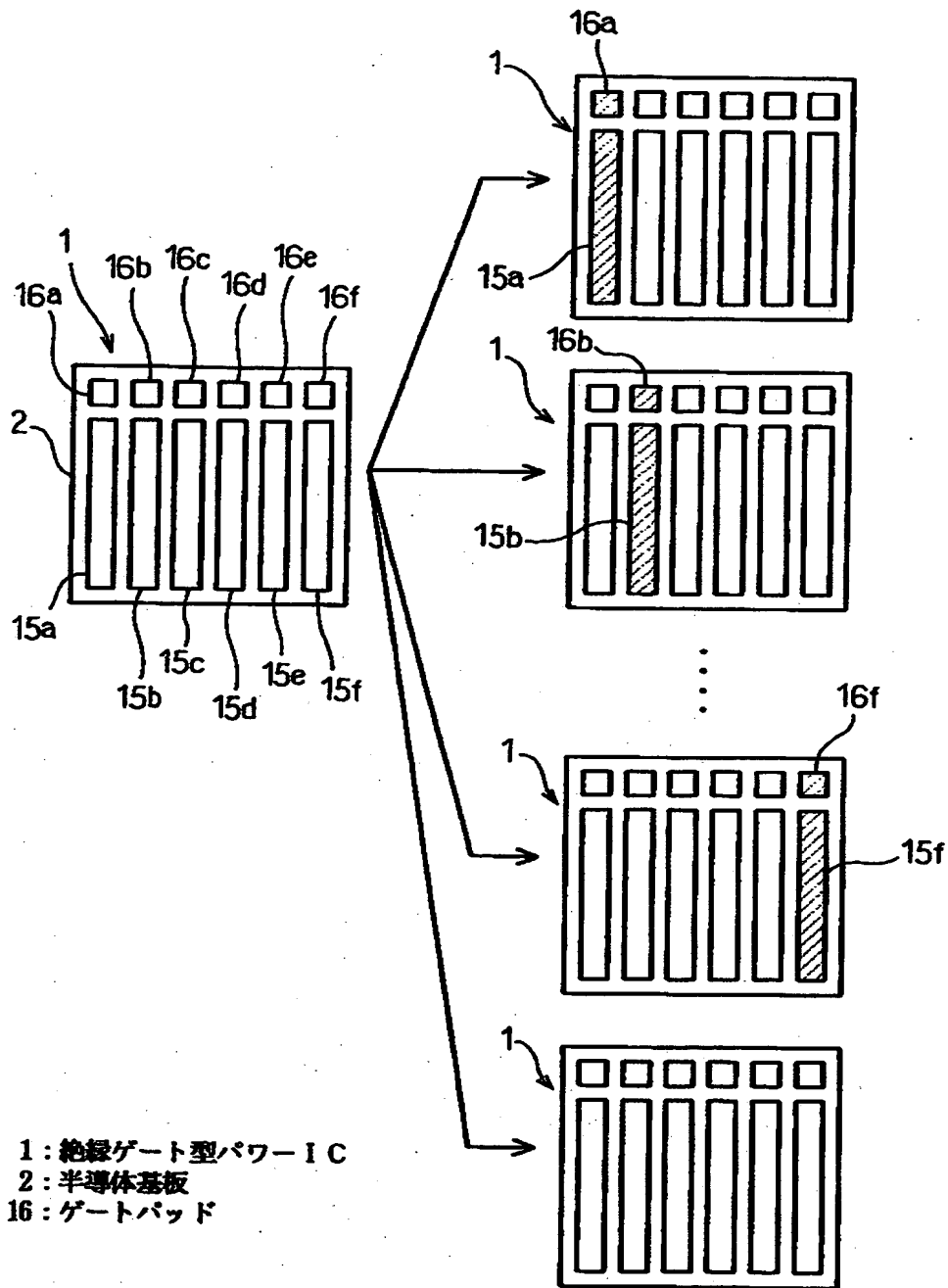
本発明の第 5 の実施例を示す図 1 相当図

【符号の説明】

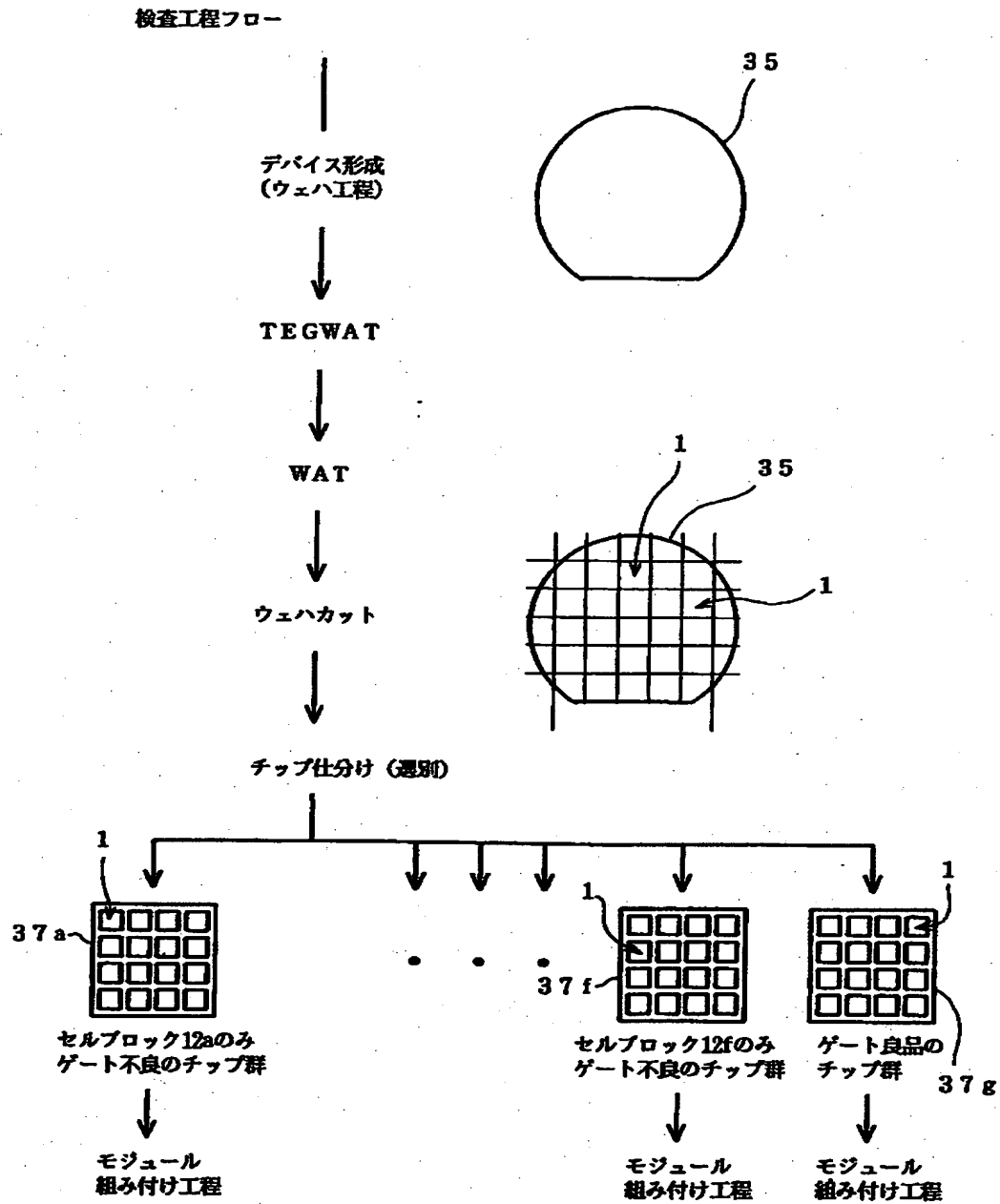
1 は I G B T のチップ（絶縁ゲート型パワー I C）、2 は p + 基板（半導体基板）、7 はゲート絶縁膜、8 はゲート電極、1 0 はエミッタ電極、1 1 はコレクタ電極、1 2 はセルブロック、1 5 はエミッタパッド、1 6 はゲートパッド、1 7 はゲート端子、1 8 はボンディングワイヤ、1 9 はグランド端子、3 3 はエミッタ端子、3 4 は I G B T モジュール（絶縁ゲート型パワー I C モジュール）、3 5 はウエハ、3 6 はチップ移載機、3 7 はトレイ、3 8 はハンドラ、3 9 はハンドラコントローラ、4 1 はテスト、4 2 は測定用ターンテーブル、4 3 は黒小丸を示す。

【書類名】 図面

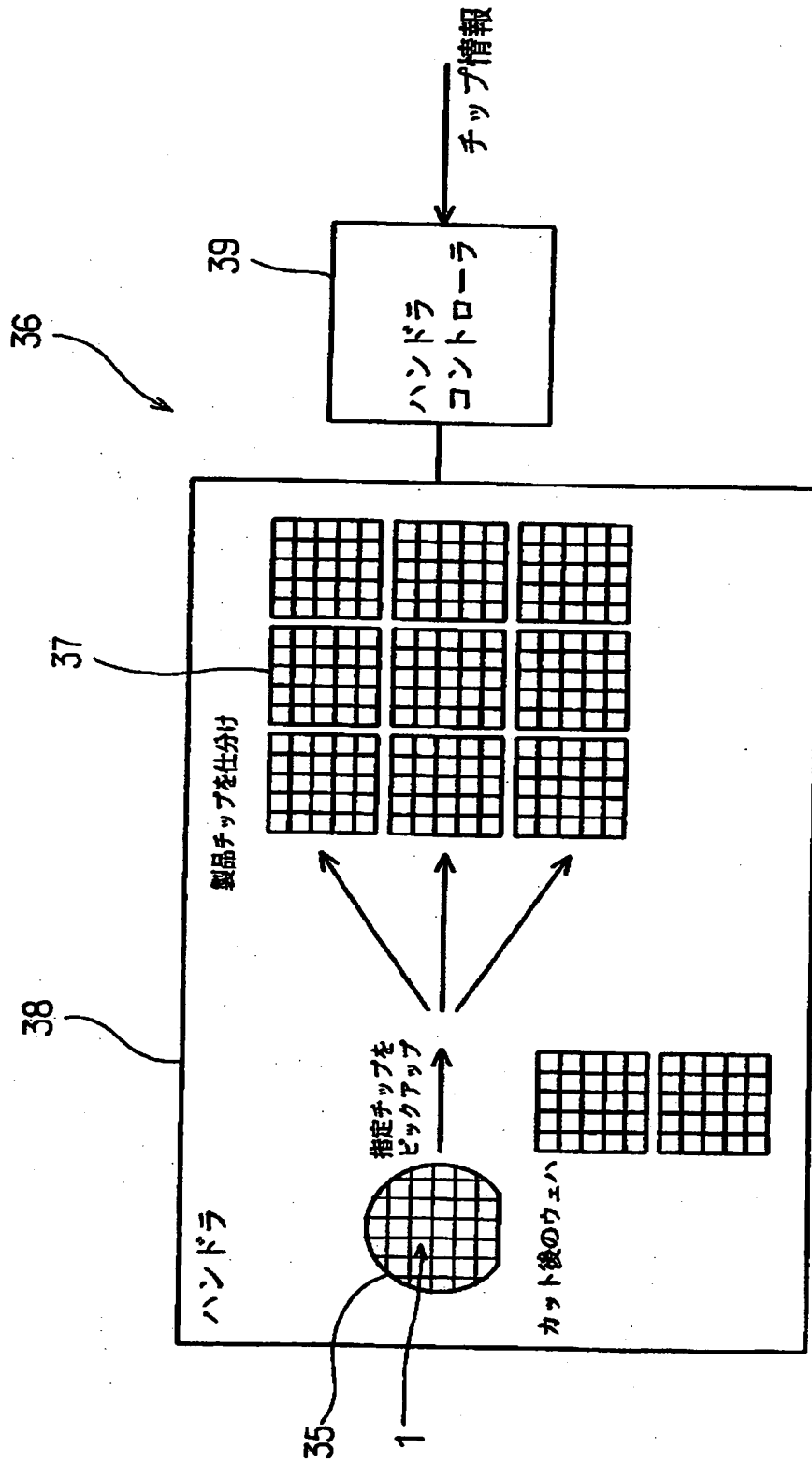
【図 1】



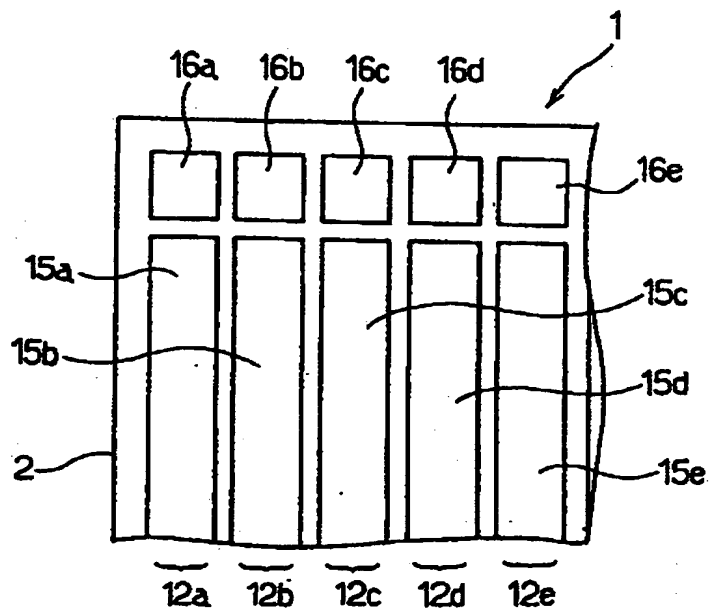
【図 2】



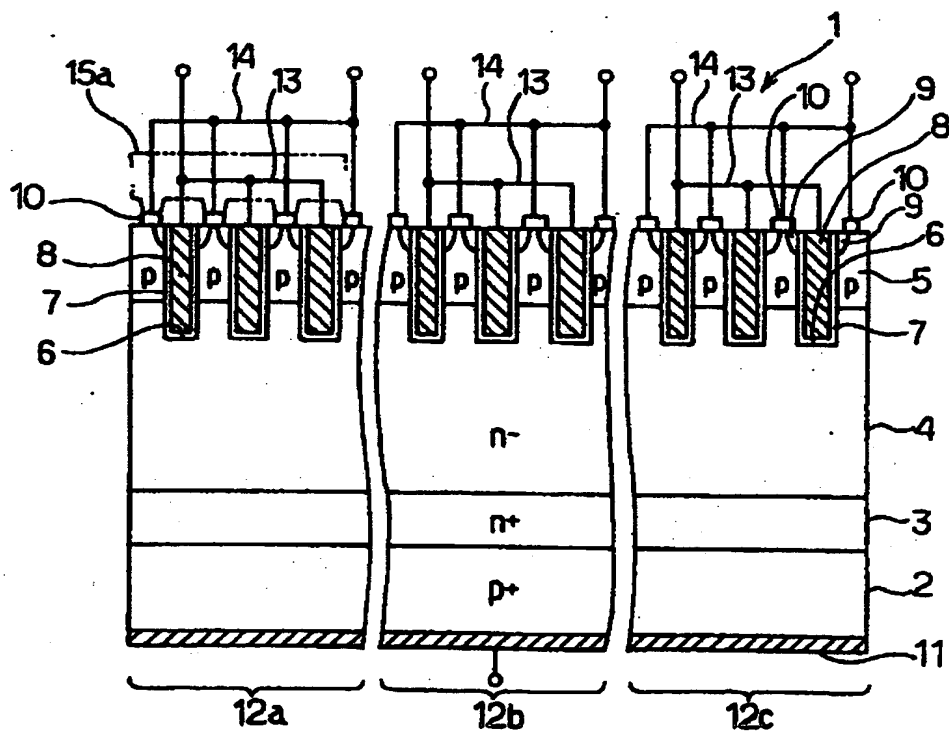
【図3】



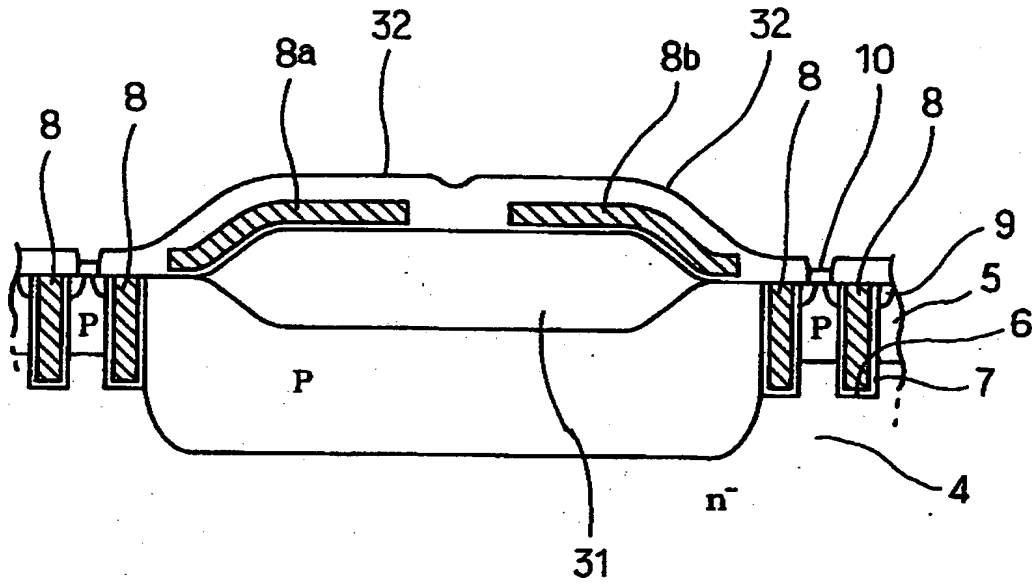
【図4】



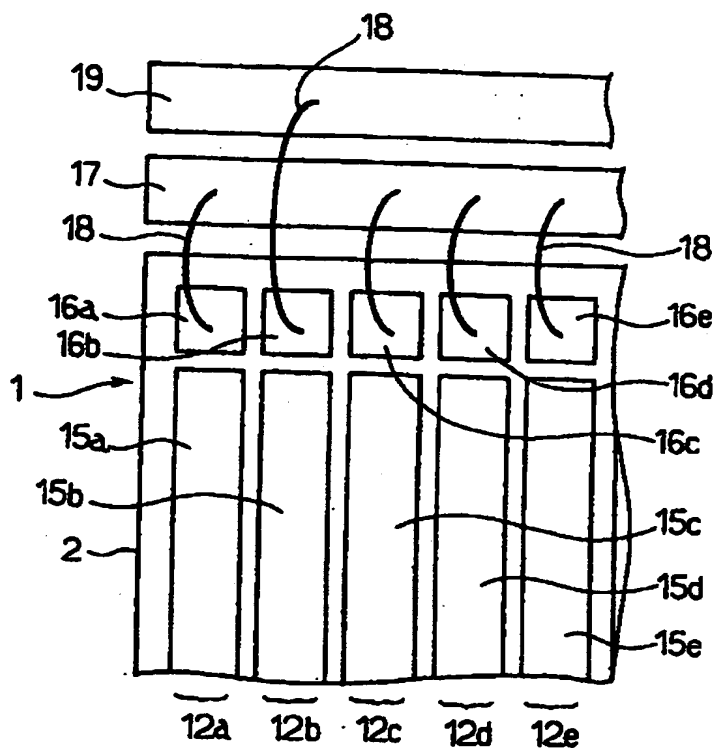
【図 5】



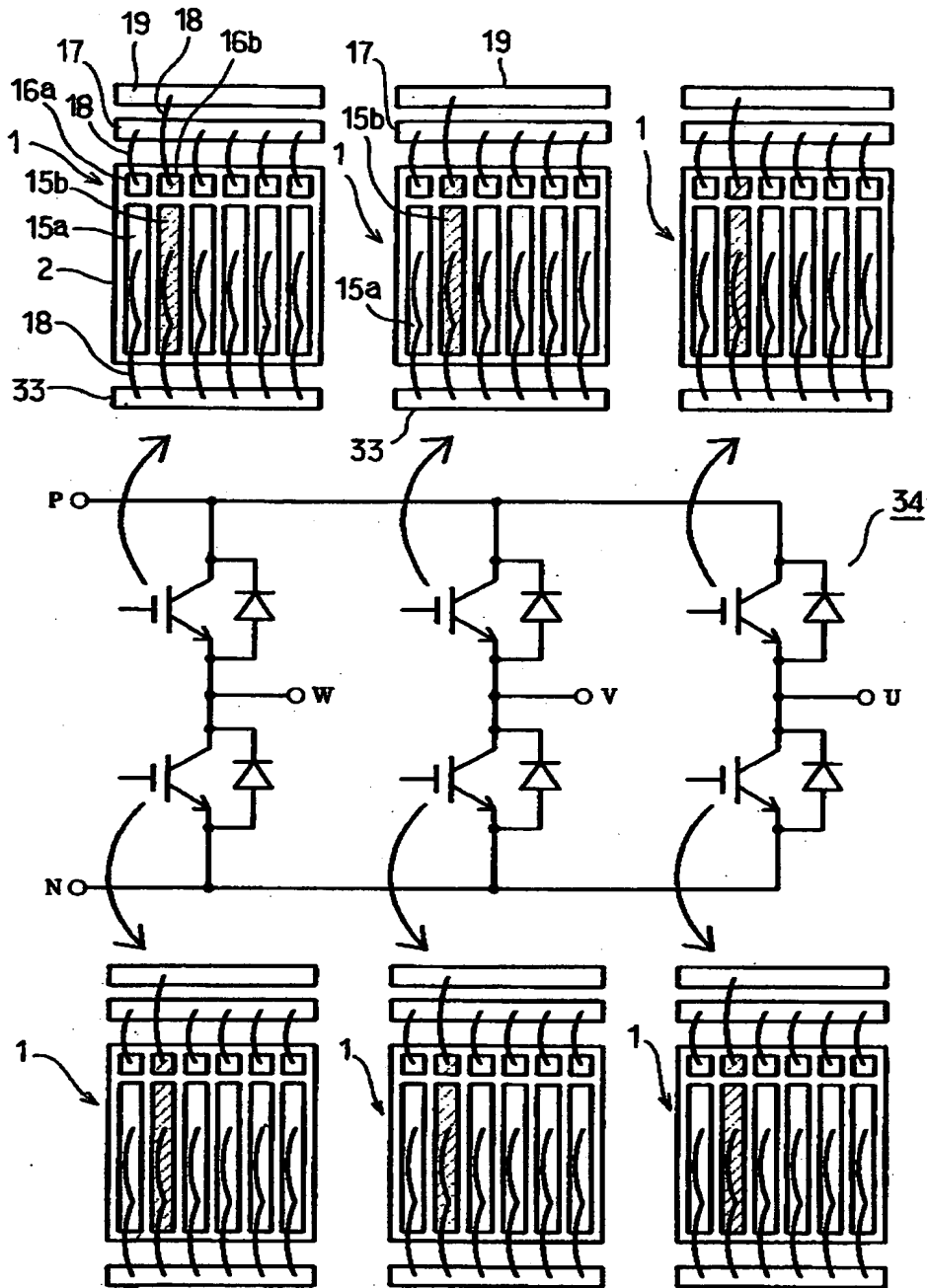
【図 6】



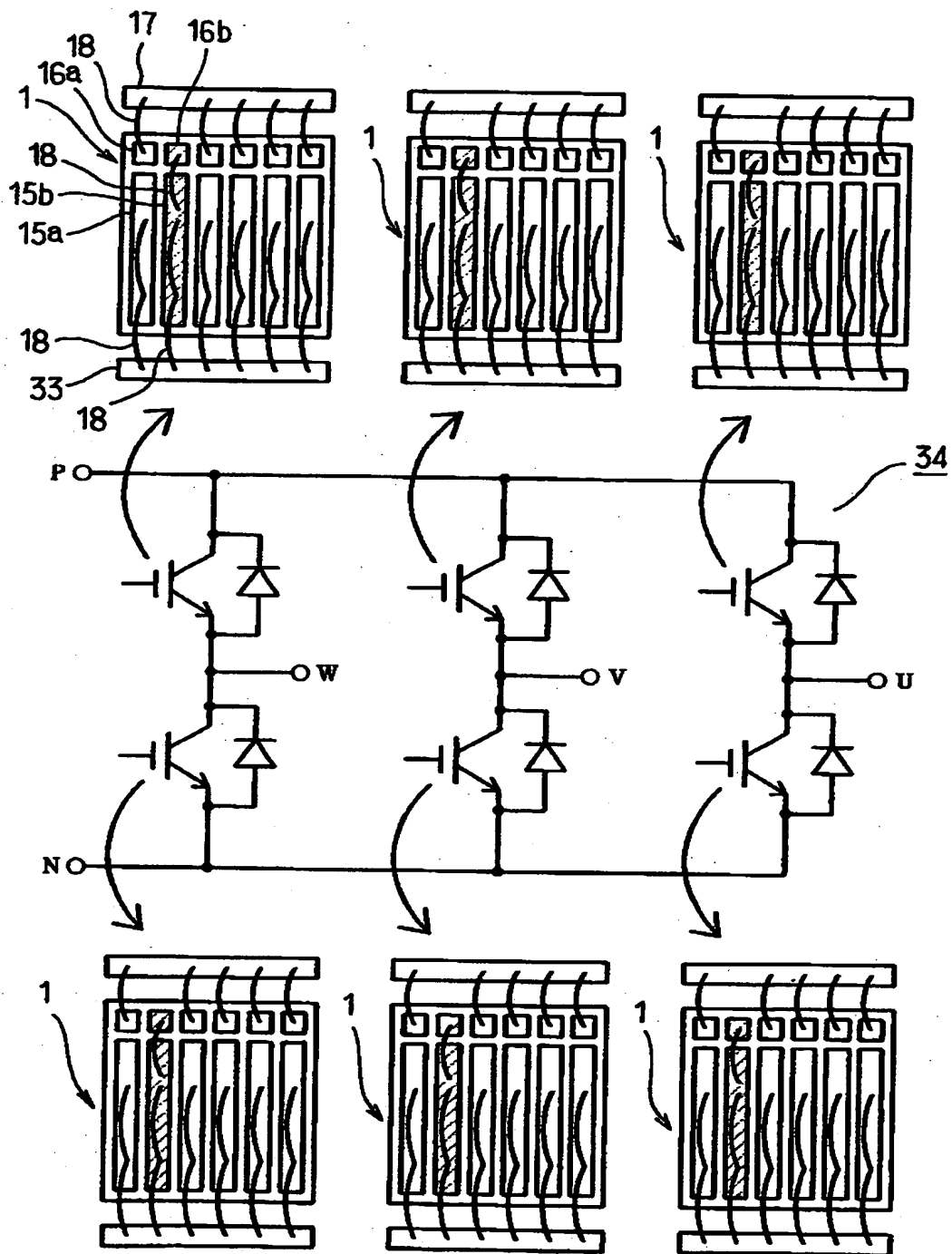
【図 7】



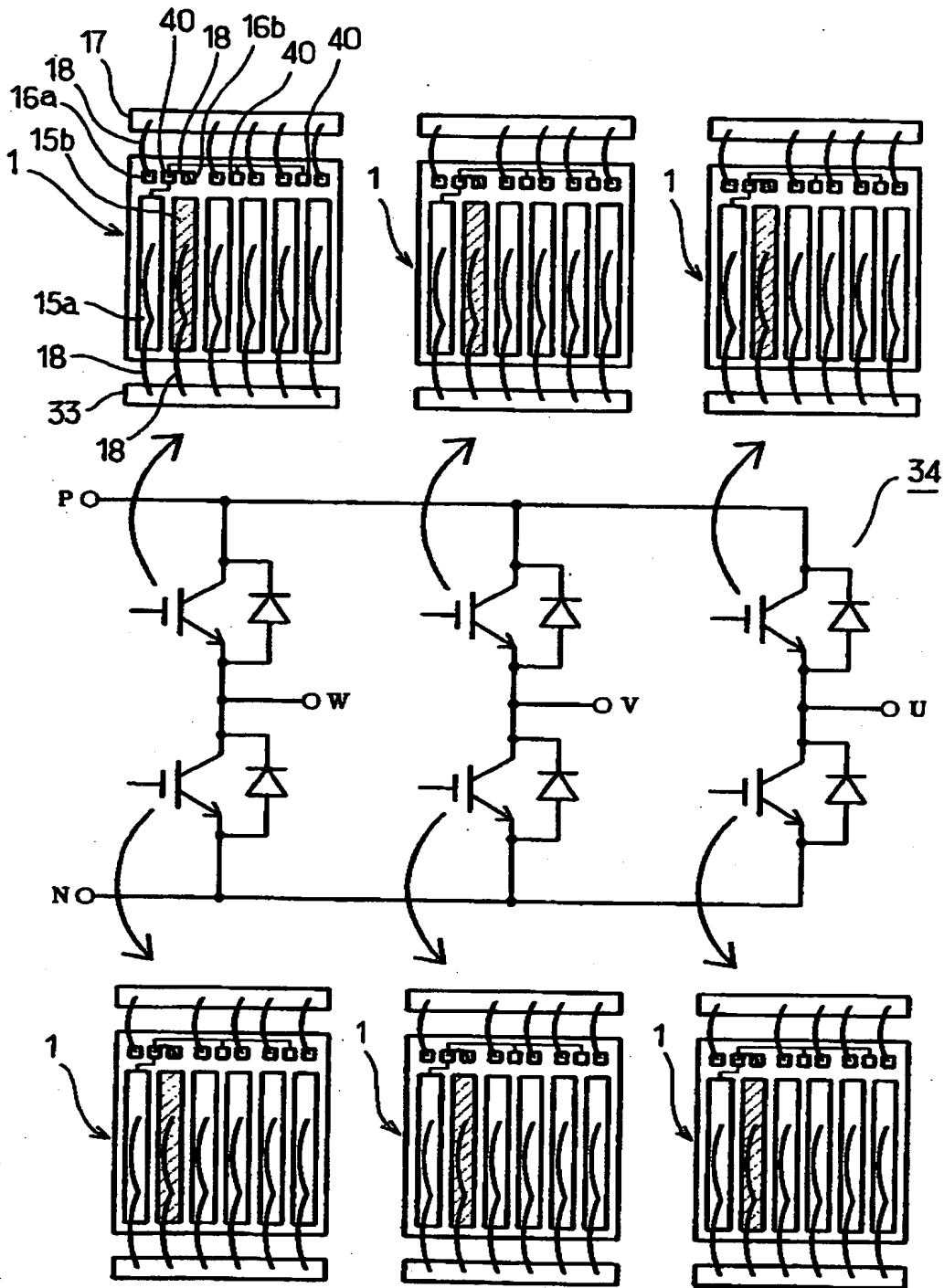
【図 8】



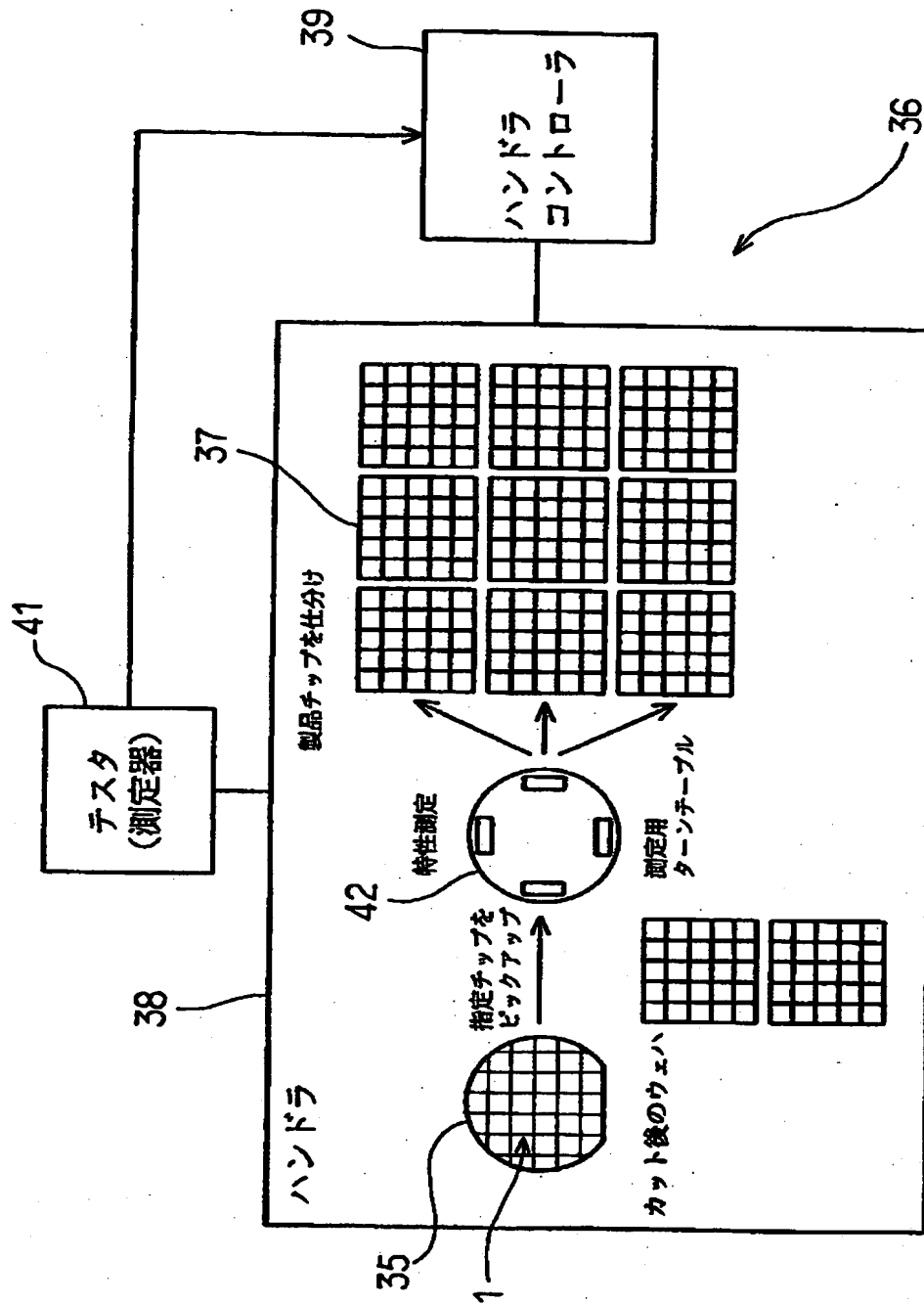
【図 9】



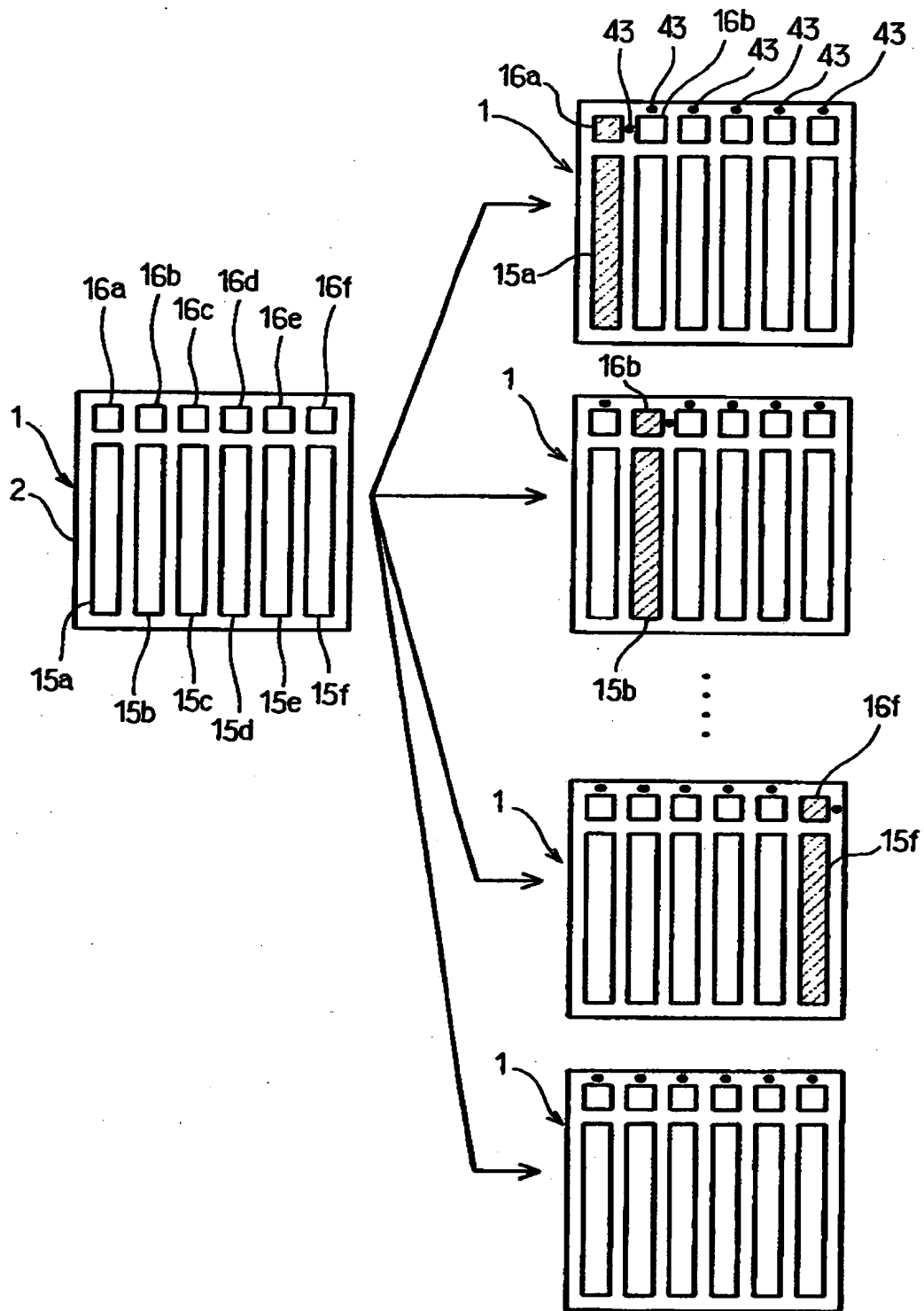
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 チップサイズを大形化しても、良品率の低下及び半導体ウエハプロセスの複雑化を防止し、また、ゲートパッドをゲート端子またはグランド端子に接続する作業を容易に実行可能にする。

【解決手段】 本発明の絶縁ゲート型パワーＩＣの製造方法は、半導体基板２の表面に複数のセルブロック１２を設け、これらセルブロック１２に独立するゲート電極を設け、各ゲート電極に接続された複数のゲートパッド１６を設け、良品のセルブロック１２のゲート電極に接続されたゲートパッド１６を外部のゲート端子１７に接続し、不良品のセルブロック１２のゲート電極に接続されたゲートパッドを外部のグランド端子１９に接続した絶縁ゲート型パワーＩＣを製造する方法において、不良品のセルブロック１２の配置位置が同じチップ１が集まるようにチップ１を仕分けする仕分け工程を備えたところに特徴を有する。

【選択図】 図１

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日	1996年10月 8日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町1丁目1番地
氏 名	株式会社デンソー